

Our Commentary on the References:

Japanese Patent Laying-Open No. 6-169052

An insulating layer is formed between a semiconductor chip and an internal lead of an LOC semiconductor device. The insulating layer is formed so as to be present between every internal lead and semiconductor chip. Each internal lead and the insulating layer on one hand and the insulating layer and the semiconductor chip on the other are respectively bonded each other and fixed by an adhesive.

**Japanese Patent Office**  
**Patent Laying-Open Gazette**

Patent Laying-Open No. 6-169052  
Date of Laying-Open: June 14, 1994  
International Class(es): H 01 L 23/50  
23/28

(9 pages in all)

---

Title of the Invention: LOC Package and Its Fabrication Method

Patent Appln. No. 4-243295

Filing Date: September 11, 1992

Priority Claimed: Country: Korea

Filing Date: September 11, 1991

Serial No. 1991-15863

Inventor(s): Hi Guku Lee

Applicant(s): Gold Star Electron Company Limited

(transliterated, therefore the  
spelling might be incorrect)

④

# 類似技術

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平6-169052

(43)公開日 平成6年(1994)6月14日

(51)Int.Cl.

H01L 23/50

23/28

識別記号

Y 9272-4M

A 8617-4M

Z 8617-4M

庁内整理番号

FI

技術表示箇所

審査請求 未請求 請求項の数21(全 9 頁)

(21)出願番号

特願平4-243295

(22)出願日

平成4年(1992)9月11日

(31)優先権主張番号

1991-15863

(32)優先日

1991年9月11日

(33)優先権主張国

韓国(KR)

(71)出願人

591227619

ゴールド スター エレクトロン カンパ  
ニー リミテッド

大韓民国 チュングチェオンブグド チ  
ェオンジュシ ヒャン ギェオンソドン  
50

(72)発明者

ヒ グク リ

大韓民国 ソウルシ ガンナムグ デ  
チード ケボ2チャ ウソンアバト 11-  
605ホ

(74)代理人

弁理士 中村 純之助 (外2名)

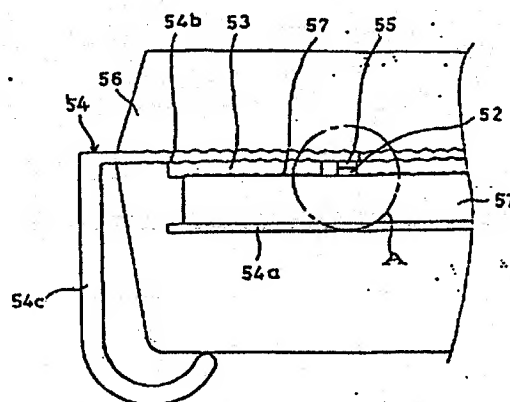
(54)【発明の名称】 LOCパッケージおよびその製造方法

(57)【要約】

【構成】絶縁層(53)とインナリード(54b)との接触面、絶縁層(53)とパッケージ本体(56)との接触面、半導体チップ(51)と絶縁層(53)との接触面、インナリード(54b)とパッケージ本体(56)との接触面が凹凸であり、かつ、絶縁層(53)がフルオロエチレン系フィルムからなる構成。

【効果】絶縁層、インナリード、パッケージ本体、半導体チップ間の接着力を向上でき、また、絶縁層の厚さを薄くするのが可能なので、パッケージの薄型化を図ることができる。さらに、絶縁層の厚さが減少できるのみならず、寄生容量の増加を抑制できる。

図1



51…半導体チップ  
53…絶縁層

52…ボンディング用パッド  
54…リードフレーム

## 【特許請求の範囲】

【請求項1】上面の中央部に複数個のボンディング用パッドを設けた半導体チップと、上記ボンディング用パッドを除く上記半導体チップの上記上面に設けた絶縁層と、一端部がそれぞれ上記ボンディング用パッドに接続された複数のインナリードと、上記半導体チップ、上記絶縁層および上記インナリードを取り囲むパッケージ本体と、上記インナリードの他端部から延長または別個に接続されて上記パッケージ本体の外側で外部素子に接続するための複数のアウトリードとを含んでなるLOCパッケージにおいて、上記絶縁層と上記インナリードとの接触面および上記絶縁層と上記パッケージ本体との接触面が凹凸であることを特徴とするLOCパッケージ。

【請求項2】上記半導体チップと上記絶縁層との接触面が凹凸であることを特徴とする請求項1記載のLOCパッケージ。

【請求項3】上記リードフレームと上記パッケージ本体との接触面が凹凸であることを特徴とする請求項1記載のLOCパッケージ。

【請求項4】上記絶縁層がフルオロエチレン系フィルムであることを特徴とする請求項1記載のLOCパッケージ。

【請求項5】上記絶縁層の厚さが約60～70μmであることを特徴とする請求項1記載のLOCパッケージ。

【請求項6】上記パッケージ本体がエポキシモールドコンパウンドからなることを特徴とする請求項1記載のLOCパッケージ。

【請求項7】上記ボンディング用パッドが上記半導体チップの上記上面の中央部に少なくとも1列に配置され、上記絶縁層が上記ボンディング用パッドの両側の上記半導体チップの上記上面に設けられていることを特徴とする請求項1記載のLOCパッケージ。

【請求項8】上記ボンディング用パッドと上記インナリードとが半田層を介して直接接続されていることを特徴とする請求項1記載のLOCパッケージ。

【請求項9】上記ボンディング用パッドと上記インナリードとがボンディングワイヤを介して接続されていることを特徴とする請求項1記載のLOCパッケージ。

【請求項10】パドル、インナリードおよび上記インナリードの端部から延長または別個に接続されたアウトリードを含んでなるリードフレームを準備する第1の工程と、

上面の中央部に複数個のボンディング用パッドを設けた半導体チップを、上記パドル上にダイボンディングする第2の工程と、

上記ボンディング用パッドを除く上記半導体チップの上記上面に微細突起を形成する第3の工程と、

上記微細突起が形成された上記ボンディング用パッドを

一方が上記絶縁層の凹凸面的一方と接触する凹凸面を上記インナリードに形成する第5の工程と、

上記インナリードを上記ボンディング用パッドと接続する第6の工程と、

上記半導体チップ、上記絶縁層および上記インナリードを含む所定の部分をモールドングしてパッケージ本体を形成する第7の工程と、

上記パッケージ本体と一体化した上記リードフレームをトリミングし、かつ、フォーミングする第8の工程と、

を含むことを特徴とするLOCパッケージの製造方法。

【請求項11】上記半導体チップ上の上記微細突起を低温でRFスパッタリング法により形成することを特徴とする請求項10記載のLOCパッケージの製造方法。

【請求項12】上記半導体チップ上の上記微細突起がSi<sub>3</sub>N<sub>4</sub>またはSiO<sub>2</sub>であることを特徴とする請求項10または11記載のLOCパッケージの製造方法。

【請求項13】上記半導体チップ上の上記微細突起の厚さが約400～500Åであることを特徴とする請求項10または12記載のLOCパッケージの製造方法。

【請求項14】上記インナリードの上記ボンディング用パッドに接続される部分の幅が、上記アウトリードに延長または別個に接続される部分の幅より狭いことを特徴とする請求項10記載のLOCパッケージの製造方法。

【請求項15】上記半導体チップの上面の中央部に配置された上記ボンディング用パッドに、両側から伸びる上記インナリードを交互に接続することを特徴とする請求項10記載のLOCパッケージの製造方法。

【請求項16】上記インナリードの凹凸面を、凹凸面を有するローラを用いて形成することを特徴とする請求項10記載のLOCパッケージの製造方法。

【請求項17】上記インナリードの凹凸面を、高電流密度の電気めっき法を用いてこぶ状または樹枝状突起状のいずれかの形状に形成することを特徴とする請求項10記載のLOCパッケージの製造方法。

【請求項18】上記第6の工程と上記第7の工程との間に、上記インナリードと上記アウトリードとを半田付けする工程を有することを特徴とする請求項10記載のLOCパッケージ。

【請求項19】上記第6の工程において、上記ボンディング用パッドと上記インナリードとを半田層を介して直接接続することを特徴とする請求項1記載のLOCパッケージ。

【請求項20】上記第6の工程において、上記ボンディング用パッドと上記インナリードとをボンディングワイヤを介して接続することを特徴とする請求項1記載のLOCパッケージ。

【請求項21】パドル、インナリードおよび上記インナリードの端部から延長または別個に接続されたアウトリード

半導体チップを、上記パドル上にダイボンディングする工程と、  
 上記半導体チップの上記ボンディング用パッドを除く凹凸を有する上面に、絶縁層を塗布する工程と、  
 上面、下面の少なくとも下面に凹凸が形成されたインナリードを上記絶縁層の上に載置し、かつ、上記インナリードを上記ボンディング用パッドと接続する工程と、  
 上記半導体チップ、上記絶縁層および上記インナリードを含む所定の部分をモールドングしてパッケージ本体を形成する工程と、  
 上記パッケージ本体と一体化した上記リードフレームをトリミングし、かつ、フォーミングする工程と、を含むことを特徴とするLOCパッケージの製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、LOC（リードオンチップ）型のパッケージおよびその製造方法に係り、特に、16メガダイナミックランダムアクセスメモリ（DRAM）以後のメモリICのパッケージに使用されるLOCパッケージおよびその製造方法に関する。

【0002】

【従来の技術】図6は、従来の一般のメモリICパッケージおよびそのモールド成形用金型の断面図、図7は、図6のメモリICパッケージ用リードフレームの平面図である。

【0003】ウエハからダイシングされたそれぞれの半導体チップをパッケージするために、まず、リードフレーム13が形成される。リードフレーム13は、図7に示すように、ウエハからダイシングされたICチップを取付けるためのパドル13aと、パッケージ本体内部で半導体チップのパッドと電気的に接続されるインナリード13bと、パッケージ本体外部において他の素子と電気的に接続されるアウトリード13cと、各リードフレーム13の形状を維持するためのサイドレール13dと、2本のサイドレール13d間においてインナリード13bおよびアウトリード13cが一定間隔を維持するように支持するダムバー13e、パドル13aをサイドレール13d間において支持するサポートバー13f、およびロッキングホール13gとからなる。

【0004】このような構造のリードフレーム13を形成したあと、ダイボンディング工程を行なって、パドル13a上に半導体チップ11を取り付ける。

【0005】その後、ワイヤボンディング工程を行なって、半導体チップ11の上面に形成されたボンディング用パッド12とインナリード13bとをワイヤ14を用いて電気的に接続する。

【0006】このとき、ボンディング用パッド12は、デュアルインライン型パッケージの場合には、半導体チ

図7に示したものは、デュアルインラインタイプパッケージである。

【0007】ダイボンディングおよびワイヤボンディング工程を行なった後、リードフレーム13を所定の形状のパッケージ形状を形成するための金型15内に設置した後、EMC（エポキシモールドングコンパウンド）16を金型15の空間内に充填して半導体チップ11およびインナリード13bを含む所定の部分をモールドングする。

10 【0008】モールドング工程後、ダムバー13eを除去するトリミング工程を行ない、次いで、アウトリード13cを所定の形状に整形するフォーミング工程を行なうと、メモリICのパッケージが製造される。

【0009】しかし、半導体素子の製造技術の発展により、メモリICの容量が大容量化する傾向にあり、これにより半導体パッケージに内蔵する半導体チップの大きさも相対的に大きくなる。

【0010】したがって、全体パッケージの全容積中の半導体チップが占有する容積が徐々に増加し、パッケージ全体が厚くなっているのが現状である。

20 【0011】このように、メモリIC全体のパッケージの容積中、半導体チップが占有する容積の比率が増加することにより、パッケージのリードフレームを確実に配置・固定することができる空間が小さくなる。このような問題点を解決するために、リードフレームを半導体チップ上に載置してパッケージングするLOC（リードオンチップ）パッケージ技術が提案された。

【0012】このようなLOCパッケージ技術は、米国のIBMで1メガDRAMに使用して以来、日本の日立で4メガDRAMに適用したことがあり、今後、16メガDRAM等に使用される新しいパッケージ技術である。

【0013】図8は、従来のLOCパッケージの断面図、図9は、図8のLOCパッケージ用リードフレームの平面図である。

【0014】従来のLOCパッケージは、上面の中央部にボンディング用パッド32が一行に配置され、リードフレームのパドル34aに取り付けられている半導体チップ31と、ボンディング用パッド32を除く半導体チップ31の上面両側に形成され、半導体チップ31とリードフレームのインナリード34bとを絶縁させるための絶縁層33と、一端が半導体チップ31の上部に位置するように長く延長されてワイヤ35によって半導体チップ31の各ボンディング用パッド32に電気的に接続される複数のインナリード34bと、各インナリード34bの他端から延長されて外部で他の素子と電気的に接続される「J」形状の複数のアウトリード34cと半導体チップ31、絶縁層33およびインナリード34bを

ードフレームは、図7と同様にパドル34a、インナリード34b、アウトリード34c、サイドレール34d、ダムバー34e、サポートバー34fおよびロッキングホール34gとからなる。

【0016】ただし、インナリード34bが、パドル13a上に取り付けられる半導体チップ31の上部表面に位置するように十分に長く形成されている。

【0017】このような構成のLOCパッケージの製造工程を以下説明する。

【0018】図9に示すような構成のリードフレーム34を形成し、ダイボンディング工程を行なってリードフレーム34のパドル34a上にウエハからダイシングされた半導体チップ31を取り付け、ボンディング用パッド32を除く半導体チップ31の上面両側にポリイミド等を一定の厚さで塗布して絶縁層33を形成し、ワイヤボンディング工程を行なって半導体チップ31のボンディング用パッド32とリードフレーム34のインナリード34bとをワイヤ35を用いて電気的に接続する。ワイヤボンディング工程を行なった後、モールドング工程により、半導体チップ31、絶縁層33およびインナリード34bを含む所定の部分をEMCを用いてモールドングし、パッケージ本体36を形成する。

【0019】すなわち、半導体チップ31が載置されたリードフレーム34をアウトリード34cを除外して、金型（図示せず）内に設置し、金型の空間内にEMCを充填し、かつ、半導体チップ31およびインナリード34bを含む所定の部分をモールドングし、パッケージ本体36とリードフレーム34とを一体化する。

【0020】次いで、ダムバー34eおよびサポートバー34fを除去するトリミング工程、および露出されたアウトリード34cを「J」形状に折曲させるためのフォーミング工程を行なうことにより、シングルインライン型のLOCパッケージを製造する。

【0021】上記LOCパッケージでは、リードフレーム34のインナリード34bを半導体チップ31のアクティブセル上まで引き上げ、ワイヤ35を用いて半導体チップ31と電気的に接続させることにより、パッケージ内部におけるリードフレーム34のインナリード34bが占有する面積を増大できるという長所を有する。

【0022】

【発明が解決しようとする課題】しかし、上記LOCパッケージは、リードフレーム34のインナリード34bと半導体チップ31との間に、これらを絶縁させるための絶縁層33として、非導電物質である重合体（ポリマー）を挿入する。しかし、これにより重合体からなる絶縁層33とリードフレーム34、絶縁層33とパッケージ本体56、および絶縁層33と半導体チップ31との間の接着力が弱い問題がある。また、リードフレーム3

る問題がある。

【0023】一方、半導体チップ31の上部まで引き上げたリードフレーム34のインナリード34bを半導体チップ31にワイヤボンディングすることにより寄生容量が生ずる問題を解決するために、重合体からなる絶縁層33を厚肉に形成してインナリード34bと半導体チップ31を完全に絶縁することも行なわれる。しかし、絶縁層33を厚肉化するにしたがって、全体的にメモリICのパッケージが厚肉化され、ICパッケージの薄型化を達成できない問題があった。

【0024】本発明の目的は、上記従来の問題を解決し、絶縁層とリードフレーム、絶縁層とパッケージ本体、絶縁層と半導体チップ、あるいはリードフレームとパッケージ本体間の接着力を強化でき、また、絶縁層の厚さを減少して薄型化を達成でき、かつ、寄生容量の増加を防止できるLOCパッケージおよびその製造方法を提供することにある。

【0025】

【課題を解決するための手段】上記の目的を達成するために、本発明のLOCパッケージは、上面の中央部に複数のボンディング用パッドを設けた半導体チップと、上記ボンディング用パッドを除く上記半導体チップの上記上面に設けた絶縁層と、一端部がそれぞれ上記ボンディング用パッドに接続された複数のインナリードと、上記半導体チップ、上記絶縁層および上記インナリードを取り囲むパッケージ本体と、上記インナリードの他端部から延長または別個に接続されて上記パッケージ本体の外側で外部素子に接続するための複数のアウトリードとを含んでなるLOCパッケージにおいて、上記絶縁層と上記インナリードとの接触面および上記絶縁層と上記パッケージ本体との接触面が凹凸であることを特徴とする。

【0026】また、上記半導体チップと上記絶縁層との接触面が凹凸であることを特徴とする。

【0027】また、上記リードフレームと上記パッケージ本体との接触面が凹凸であることを特徴とする。

【0028】また、上記絶縁層がフルオロエチレン系フィルムであることを特徴とする。

【0029】また、上記絶縁層の厚さが約60～70μmであることを特徴とする。

【0030】また、上記パッケージ本体がエポキシモールドニングコンパウンドからなることを特徴とする。

【0031】また、上記ボンディング用パッドが上記半導体チップの上記上面の中央部に少なくとも1列に配置され、上記絶縁層が上記ボンディング用パッドの両側の上記半導体チップの上記上面に設けられていることを特徴とする。

【0032】また、上記ボンディング用パッドと上記イン



【0033】また、上記ボンディング用パッドと上記インナリードとがボンディングワイヤを介して接続されていることを特徴とする。

【0034】また、本発明のLOCパッケージの製造方法は、パドル、インナリードおよび上記インナリードの端部から延長または別個に接続されたアウトリードを含んでなるリードフレームを準備する第1の工程と、上面の中央部に複数のボンディング用パッドを設けた半導体チップを、上記パドル上にダイボンディングする第2の工程と、上記ボンディング用パッドを除く上記半導体チップの上記上面に微細突起を形成する第3の工程と、上記微細突起が形成された上記ボンディング用パッドを除く上記半導体チップの上面に、上面と下面に凹凸面を有する絶縁層を形成する第4の工程と、一方が上記絶縁層の凹凸面の一方と接触する凹凸面を上記インナリードに形成する第5の工程と、上記インナリードを上記ボンディング用パッドと接続する第6の工程と、上記半導体チップ、上記絶縁層および上記インナリードを含む所定の部分をモールドングしてパッケージ本体を形成する第7の工程と、上記パッケージ本体と一体化した上記リードフレームをトリミングし、かつ、フォーミングする第8の工程と、を含むことを特徴とする。

【0035】また、上記半導体チップ上の上記微細突起を低温でRFスパッタリング法により形成することを特徴とする。

【0036】また、上記半導体チップ上の上記微細突起が $\text{Si}_3\text{N}_4$ または $\text{SiO}_2$ であることを特徴とする。

【0037】また、上記半導体チップ上の上記微細突起の厚さが約400～500Åであることを特徴とする。

【0038】また、上記インナリードの上記ボンディング用パッドに接続される部分の幅が、上記アウトリードに延長または別個に接続される部分の幅より狭いことを特徴とする。

【0039】また、上記半導体チップの上面の中央部に配置された上記ボンディング用パッドに、両側から伸びる上記インナリードを交互に接続することを特徴とする。

【0040】また、上記インナリードの凹凸面を、凹凸面を有するローラを用いて形成することを特徴とする。

【0041】また、上記インナリードの凹凸面を、高電流密度の電気めっき法を用いてこぶ状または樹枝状突起状のいずれかの形状に形成することを特徴とする。

【0042】また、上記第6の工程と上記第7の工程との間に、上記インナリードと上記アウトリードとを半田付けする工程を有することを特徴とする。

【0043】また、上記第6の工程において、上記ボンディング用パッドと上記インナリードとを半田層を介して直接接続することを特徴とする。

ワイヤを介して接続することを特徴とする。

【0045】さらに、本発明のLOCパッケージの製造方法は、パドル、インナリードおよび上記インナリードの端部から延長または別個に接続されたアウトリードを含んでなるリードフレームを準備する工程と、上面の中央部に複数のボンディング用パッドを設けた半導体チップを、上記パドル上にダイボンディングする工程と、上記半導体チップの上記ボンディング用パッドを除く凹凸を有する上面に、絶縁層を塗布する工程と、上面、下面の少なくとも下面に凹凸が形成されたインナリードを上記絶縁層の上に載置し、かつ、上記インナリードを上記ボンディング用パッドと接続する工程と、上記半導体チップ、上記絶縁層および上記インナリードを含む所定の部分をモールドングしてパッケージ本体を形成する工程と、上記パッケージ本体と一体化した上記リードフレームをトリミングし、かつ、フォーミングする工程と、を含むことを特徴とする。

【0046】

【作用】本発明では、絶縁層とリードフレームのインナリードとの接触面、および絶縁層とパッケージ本体との接触面が凹凸であるので、絶縁層とインナリード、および絶縁層とパッケージ本体との接着力を向上できる。また、半導体チップと絶縁層との接触面を凹凸とすることにより、半導体チップと絶縁層との接着力を向上できる。さらに、インナリードとパッケージ本体との接触面を凹凸とすることにより、インナリードとパッケージ本体との接着力を向上できる。また、半導体チップとインナリードとを絶縁するための絶縁層として、比誘電率が小さいフルオロエチレン系フィルムを使用することにより、絶縁層の厚さを薄くできる。したがって、パッケージの薄型化を図ることができる。また、絶縁層の厚さが減少できるのみならず、寄生容量の増加を抑制できる。

【0047】

【実施例】以下、本発明のLOCパッケージおよびその製造方法の一実施例を図面を参照して詳細に説明する。

【0048】実施例1

図1は、本発明の第1の実施例のLOCパッケージの要部断面図、図2(a)～(c)は、それぞれ別の形態の図1のA部の詳細図である。

【0049】本実施例によるLOCパッケージは、図1に示すような構造を有する。すなわち、半導体チップ51の上面の中央部に複数のボンディング用パッド52が一行に配置されている。半導体チップ51の上面の一行のボンディング用パッド52の両側には、リードフレームのインナリード54bと半導体チップ51とを絶縁するための絶縁層53が形成されている。半導体チップ51の各ボンディング用パッド52上には半田層55が形成されている。リードフレームのインナリード54bは

接続されている。また、半導体チップ51とリードフレームのインナリード54bおよび絶縁層53を含む所定の部分をEMCによりモールディングされ、パッケージ本体56が形成されている。

【0050】本実施例のLOCパッケージは、半導体チップ51の上面の一系列のボンディング用パッド52の両側に微細突起57が形成され、また、絶縁層53の上下面およびインナリード54bの上下面にも凹凸面がそれぞれ形成されている。

【0051】本実施例では、インナリード54bと半導体チップ51の上面とを絶縁するための絶縁層53として、比誘電率がほぼ3.5の重合体であるポリイミドフィルムの代わりに、テフロンのような比誘電率がほぼ2.0~2.2であるフルオロエチレン系フィルムを使用した。

【0052】したがって、本発明では、絶縁層53として比誘電率が小さいフルオロエチレン系フィルムを使用することにより、インナリード54bと半導体チップ51と間の寄生容量を増加させず、絶縁層53の厚さを約44%と減少させることができる。

【0053】すなわち、絶縁層53としてポリイミドを使用する従来のLOCパッケージでは、寄生容量の発生を防止するために、絶縁層53をほぼ100 $\mu$ m厚さで塗布したが、本実施例のLOCパッケージでは、フルオロエチレン系フィルムを使用することにより絶縁層を60~70 $\mu$ mになるようにしたので、従来より絶縁層を薄く形成できる。

【0054】絶縁層53としてフルオロエチレン系フィルムを使用する場合、比誘電率が小さいので、その厚さを薄く塗布できる長所はあるが、物質自体の粘着強度が非常に低い問題を解消するために、本実施例では絶縁層53の上下面に小さい凹凸面を連続的に形成するとともに、インナリード54bにも小さい凹凸面を連続的に形成して半導体チップ51、インナリード54bおよびパッケージ本体56間の接着力を向上させた。上記物質間の接触面積をさらに増加するための方法として、インナリード54bに一定の間隔で貫通孔を形成してエポキシ樹脂でモールディングしてもよい。

【0055】上記の構造を有するLOCパッケージの製造方法を図1~図4に基づいて詳細に説明する。

【0056】まず、図3に示すような構造を有するリードフレーム54を作製する。図3に示すLOCパッケージ用リードフレーム54では、図9の従来のLOCパッケージ用リードフレーム34の構造と同様に、パドル54aに取り付ける半導体チップ51の上面にインナリード54bが位置するように、インナリード54bを充分に長く形成した。

【0057】しかし、本発明のLOCパッケージ用リー

52に接続される部分がアウトリード54cに接続される部分の幅より狭く形成されている。

【0058】なお、図3において、符号54cはアウトリード、54dはダムバー、54eはサイドレール、54fはサポートバー、54gはロッキングホールをそれぞれ示す。

【0059】リードフレーム54を作製した後、ダイボンディング工程を行なって、半導体チップ51をリードフレーム54のパドル54aに取り付ける。

10 【0060】その後、上面の中央部に複数のボンディング用パッド52を一系列に配置した半導体チップ51の上面の一系列のボンディング用パッド52の両側に微細突起57を形成する。すなわち、低温でRFスパッタリング法により微細突起57を、ボンディング用パッド52が形成された部分を除く半導体チップ51の上面の両側にSi<sub>3</sub>N<sub>4</sub>またはSiO<sub>2</sub>の材料を用いてRFスパッタリング工程を行ない、約400~500Åの厚さで蒸着する。

20 【0061】次いで、微細突起57を形成した半導体チップ51の上面の両側に微細な凹凸面を有するフルオロエチレン系フィルムを塗布して絶縁層53を形成する。次いで、絶縁層53の上面の凹凸面と接触するように、インナリード54bに凹凸面を形成する。

【0062】インナリード54bに凹凸面を形成する方法を具体的に説明する。

30 【0063】表面に微小な凹凸面が形成された図示しないローラ間に、リードフレーム54のインナリード54bを通過させて凹凸面を形成するか、あるいは100mA/cm<sup>2</sup>以上の高電流密度を用いた電気めっき法により、インナリード54bの表面を小さいこぶ状または樹枝状突起状の凹凸面でコーティングする方法もある。インナリード54bに凹凸面を形成した後、半導体チップ51の各ボンディング用パッド52上に半田層55を形成し、リードフレーム54のインナリード54bを半田層55を介して半導体チップ51の各ボンディング用パッド52とインナリード54bとを電氣的に互いに接続する。

40 【0064】すなわち、図4に示すように、半導体チップ51のボンディング用パッド52に接続される部分のインナリード54bの幅を、アウトリード54cに接続される部分の幅より狭く形成し、このような形状のインナリード54bは交互に配列され、半田層55で半田付けして半導体チップ51のボンディング用パッド52に電氣的に接続させることにより、パッケージの全体的な厚さを大幅に減少させる。

【0065】また、半導体チップ51とインナリード54bとを接続する方法としては、図2(a)に示すように、一般のワイヤ58を用いたワイヤボンディング法を



AB (テープ オートメיתיド ボンディング) 法を用い、またはC-4ボンディング法を用いてパッド52に直接接続する方法もある。

【0066】その後、半導体チップ51およびインナリード54bを含む所定の部分をEMCでモールドイングしてパッケージ本体56を形成し、この後、リードフレームのトリミング工程およびフォーミング工程を行なって、シングルインライン型のLOCパッケージが得られる。

【0067】以上説明したように、本実施例では、絶縁層53とリードフレーム54のインナリード54bとの接触面、および絶縁層53とパッケージ本体56との接触面が凹凸であるので、絶縁層53とインナリード54b、および絶縁層53とパッケージ本体56との接着力を向上できる。また、半導体チップ51と絶縁層53との接触面が凹凸であるので、半導体チップ51と絶縁層53との接着力を向上できる。さらに、インナリード54bとパッケージ本体56との接触面が凹凸であるので、インナリード54bとパッケージ本体56との接着力を向上できる。すなわち、半導体チップ51の表面に微細突起57を形成し、かつ、絶縁層53およびリードフレームのインナリード54bの上下面に凹凸面を形成し、これらを互いに接着したので、半導体チップ51と絶縁層53、絶縁層53とインナリード54b、インナリード54bとパッケージ本体56との間の接着力を向上できる。また、半導体チップ51とインナリード54bとを絶縁するための絶縁層53として、比誘電率が大きいポリイミドの代わりに比誘電率が小さいフルオロエチレン系フィルムを使用したので、絶縁層53の厚さを薄くできる。したがって、パッケージの薄型化を図ることができる。また、絶縁層53の厚さが減少できるのみならず、寄生容量の増加を抑制できる。なお、絶縁層53としてフルオロエチレン系フィルムの使用に伴う絶縁層53とインナリード54b、絶縁層53とパッケージ本体56、および絶縁層53と半導体チップ51との間の接着力の低下の問題は、これらの間の上記各凹凸面による接触により解消できる。

#### 【0068】実施例2

図5は、本発明の第2の実施例のLOCパッケージの構造を示した断面図である。本実施例のLOCパッケージでは、インナリード54bおよびアウトナリード54cが別々に形成されたリードフレームを形成し、これらを互いに半田付けにより接続したこと以外は、上記第1の実施例と同様である。

【0069】以上本発明を実施例に基づいて具体的に説

明したが、本発明は上記実施例に限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは勿論である。例えば、上記第1、第2の実施例において、半導体チップ51と絶縁層53との接触面や、インナリード54bとパッケージ本体56との接触面を必ずしも凹凸にしなくてもよい。また、LOCパッケージの製造工程において、半導体チップ51の上面に例えば微細突起57等の凹凸を形成し、その凹凸面の上面にフルオロエチレン系フィルム等からなる絶縁層53を塗布することにより、絶縁層53の下面を半導体チップ51の上面の凹凸面に即して形成し、次いで、該絶縁層53が完全に固くなる前に凹凸面を形成したインナリード54bを設けることにより、絶縁層53の上面をインナリード54bの下面の凹凸面に即して形成してもよい。

#### 【0070】

【発明の効果】以上説明したように、本発明では、絶縁層、インナリード、パッケージ本体、半導体チップ間の接着力を向上でき、また、絶縁層の厚さを薄くするのが可能なので、パッケージの薄型化を図ることができる。さらに、絶縁層の厚さが減少できるのみならず、寄生容量の増加を抑制できる。

#### 【図面の簡単な説明】

【図1】本発明の第1の実施例のLOCパッケージの要部断面図である。

【図2】(a)~(c)は、図1のA部のそれぞれ別の形態の詳細図である。

【図3】図1のLOCパッケージ用リードフレームの平面図である。

【図4】本発明の第1の実施例における半田付け工程を説明するための部分平面図である。

【図5】本発明の第2の実施例のLOCパッケージの断面図である。

【図6】従来のメモリICパッケージおよびそのモールド成形用金型の断面図である。

【図7】図6のメモリICパッケージ用リードフレームの平面図である。

【図8】従来のLOCパッケージの断面図である。

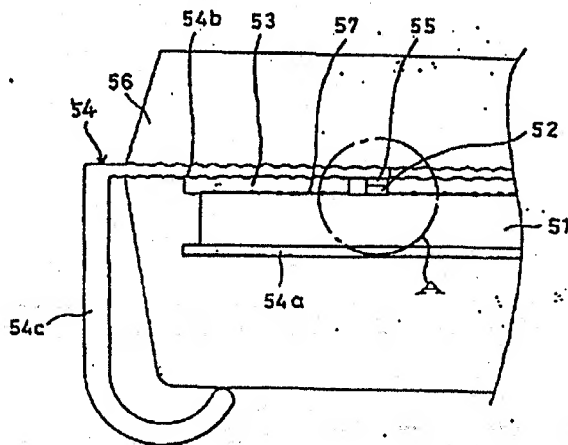
【図9】図8のLOCパッケージ用リードフレームの平面図である。

#### 【符号の説明】

51…半導体チップ、52…ボンディング用パッド、53…絶縁層、54…リードフレーム、54a…パドル、54b…インナリード、55…半田層、56…パッケージ本体、57…微細突起、58…ボンディングワイヤ。

【図1】

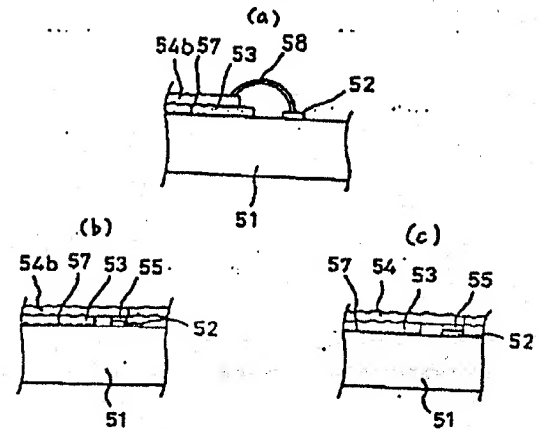
図1



- |           |               |
|-----------|---------------|
| 51…半導体チップ | 52…ボンディング用パッド |
| 53…絶縁層    | 54…リードフレーム    |
| 54a…パドル   | 54b…インナリード    |
| 55…半田層    | 56…パッケージ本体    |
| 57…微細突起   |               |

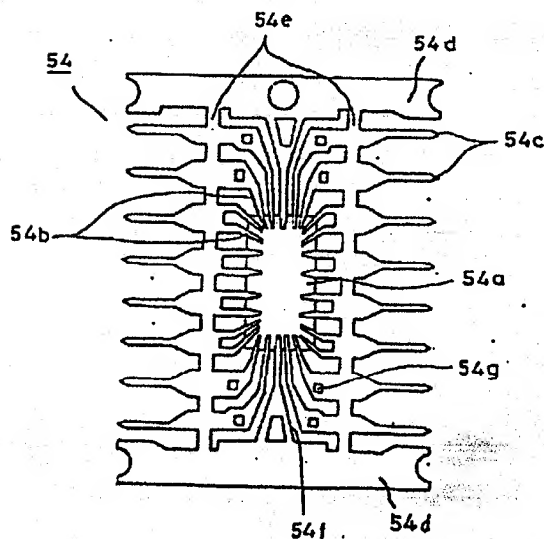
【図2】

図2



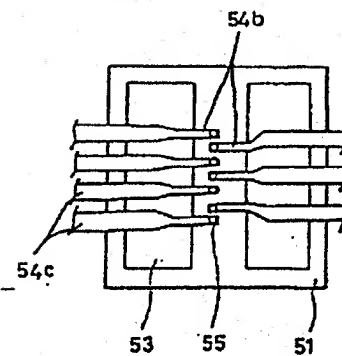
【図3】

図3



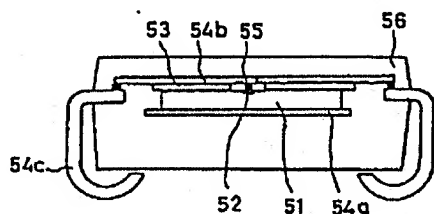
【図4】

図4



【図5】

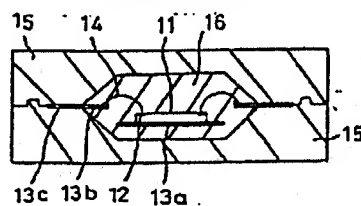
図5



【図6】

図6

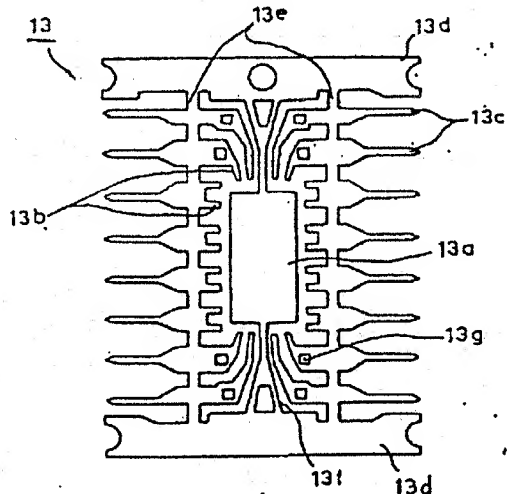
従来技術



【図7】

図7

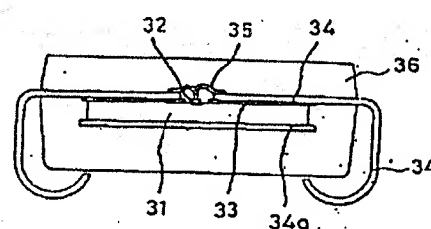
従来技術



【図8】

図8

従来技術



【図9】

図9

従来技術

